

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: MASAYUKI KOGA ET AL.)
For: PIXEL CIRCUIT AND DISPLAY DEVICE)

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

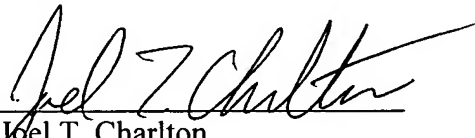
Dear Sir:

Applicant hereby claims the benefits of the filing dates of November 7, 2003 to Japanese Application No. 2003-378581 and May 25, 2004 to Japanese Application No. 2004-154092 under provisions of 35 U.S.C. 119 and the International Convention for the protection of Industrial Property.

If any fees are due with regard to this claim for priority, please charge them to Deposit Account No. 06-1130 maintained by Applicants' attorneys.

Respectfully submitted,

CANTOR COLBURN LLP

By 
Joel T. Charlton
Registration No. 52,721

Date: June 29, 2005
Telephone: (404)-607-9991
Customer No. 23413

日 本 国 特 許 庁
JAPAN PATENT OFFICE

25.11.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 1 月 7 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 7 8 5 8 1
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 7 8 5 8 1]

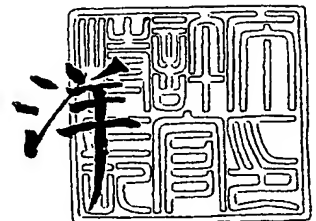
出 願 人 三 洋 電 機 株 式 会 社
Applicant(s):



2 0 0 5 年 1 月 1 3 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 KNB1030023
【提出日】 平成15年11月 7日
【あて先】 特許庁長官殿
【国際特許分類】 G09F 9/30
【発明者】
 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内
 【氏名】 古河 雅行
【発明者】
 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内
 【氏名】 丸毛 浩二
【特許出願人】
 【識別番号】 000001889
 【氏名又は名称】 三洋電機株式会社
【代理人】
 【識別番号】 100075258
 【弁理士】
 【氏名又は名称】 吉田 研二
 【電話番号】 0422-21-2340
【選任した代理人】
 【識別番号】 100096976
 【弁理士】
 【氏名又は名称】 石田 純
 【電話番号】 0422-21-2340
【手数料の表示】
 【予納台帳番号】 001753
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

データラインに一端が接続され、制御端に選択信号が入力される選択トランジスタと、この選択トランジスタの他端に一端が接続され、制御端が所定電圧の第 1 の電源に接続される補正トランジスタと、

この補正トランジスタの他端に制御端が接続され、一端が電流供給源としての第 2 の電源に接続される駆動トランジスタと、

この駆動トランジスタの制御端に一端が接続され、他端がパルス電圧ラインに接続された保持容量と、

前記駆動トランジスタに流れる電流によって発光する発光素子と、

を有し、

前記パルス電圧ラインの電圧値を変更することで前記駆動トランジスタをオンする過程で、前記補正トランジスタのオンオフを変更し、これによって駆動トランジスタのオン時における制御端電圧を制御するとともに、

前記駆動トランジスタと、前記補正トランジスタとが、隣接して形成されていることを特徴とする画素回路。

【請求項 2】

請求項 1 に記載の画素回路において、

前記データラインおよび電源ラインが垂直方向に伸び、前記補正トランジスタが前記データラインおよび電源ラインの間に形成されていることを特徴とする画素回路。

【請求項 3】

請求項 2 に記載の画素回路において、

前記駆動トランジスタは、前記電源ラインを挟んで、前記補正トランジスタの反対側に形成されることを特徴とする画素回路。

【請求項 4】

請求項 1 ～ 3 のいずれか 1 つに記載の回路において、

前記選択トランジスタをオンした状態で、データラインに補正トランジスタがオンするデータ電圧を供給して、駆動トランジスタの制御端にデータ電圧に対応する電圧を保持し、その後前記選択トランジスタをオフし、その状態でパルス電圧ラインの電圧を変化させて駆動トランジスタの制御端電圧をシフトさせ、これによって補正トランジスタをオフするとともに、駆動トランジスタをオンして、データ電圧に応じた電流を駆動トランジスタに流すことを特徴とする画素回路。

【請求項 5】

請求項 1 ～ 4 のいずれか 1 つに記載の画素回路において、

前記第 1 の電源と、第 2 の電源は同一の電源であることを特徴とする画素回路。

【請求項 6】

請求項 1 ～ 5 のいずれか 1 つに記載の回路において、

前記補正トランジスタおよび駆動トランジスタは、p チャネルトランジスタであり、前記パルス電圧ラインは、前記選択トランジスタがオフした後、高レベルから低レベルに変化することを特徴とする画素回路。

【請求項 7】

請求項 1 ～ 6 のいずれか 1 つに記載の回路において、

前記選択トランジスタの他端と、前記補正トランジスタの一端との間に、制御端が前記パルス電圧ラインに接続された、前記補正トランジスタとは逆極性のリーク電流抑止トランジスタを設けることを特徴とする画素回路。

【書類名】明細書

【発明の名称】画素回路

【技術分野】

【0001】

本発明は、有機EL素子などの発光素子を含む画素回路に関する。

【背景技術】

【0002】

従来より、発光素子として有機EL素子を用いた有機ELパネルが知られており、その開発が進んでいる。この有機ELパネルにおいては、有機EL素子をマトリクス状に配置し、この有機EL素子の発光を個別に制御することで、表示を行う。特に、アクティブマトリクスタイプの有機ELパネルでは、画素毎に表示制御用のTFTを有し、このTFTの動作制御により画素毎の発光を制御できるため、非常に高精度の表示を行うことができる。

【0003】

図6に、アクティブマトリクスタイプの有機ELパネルにおける画素回路の一例を示す。画素の輝度を示すデータ電圧が供給されるデータラインは、ゲートがゲートラインに接続されたnチャンネルの選択TFT10を介し、駆動TFT12のゲートに接続されている。また、駆動TFT12のゲートには、他端が保持容量ラインSCに接続された保持容量14の一端が接続され、駆動TFT12のゲート電圧を保持する。

【0004】

駆動TFT12のソースは、EL電源ラインに接続され、ドレインは有機EL素子16のアノードに接続され、有機EL素子16のカソードがカソード電源に接続されている。

【0005】

このような画素回路がマトリクス状に配置されており、所定のタイミングで、水平ライン毎に設けられたゲートラインがHとなり、その行の選択TFT10がオン状態になる。この状態で、データラインには、順次データ電圧が供給されるため、そのデータ電圧は保持容量14に供給保持され、ゲートラインがLとなってもその時の電圧を保持する。

【0006】

そして、この保持容量14に保持された電圧に応じて、駆動TFT12が動作して対応する駆動電流がEL電源からの有機EL素子16を介し、カソード電源に流れ、有機EL素子16がデータ電圧に応じて発光する。

【0007】

そして、ゲートラインを順次Hとして、入力されてくるビデオ信号を対応する画素にデータ電圧として順次供給することで、マトリクス状に配置された、有機EL素子16がデータ電圧に応じて発光し、ビデオ信号についての表示が行われる。

【0008】

【特許文献1】特表2002-514320号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかし、このような画素回路において、マトリクス状に配置された画素回路の駆動TFTのしきい値電圧がばらつくと、輝度がばらつくことになり、表示品質が低下するという問題がある。そして、表示パネル全体の画素回路を構成するTFTについて、その特性を同一にすることは難しく、そのオンオフのしきい値がばらつくことを防止することは難しい。

【0010】

そこで、駆動TFTにおけるしきい値のバラツキの表示に対する影響を防止することが望まれる。

【0011】

ここで、TFTのしきい値の変動への影響を防止するための回路については、従来より

各種の提案がある（例えば、上記特許文献1）。

【0012】

しかし、この提案では、しきい値変動の補償をするための回路を必要とする。従って、このような回路を用いると、画素回路の素子数が増加し、開口率が小さくなってしまいうという問題があった。また、補償のための回路を追加した場合、画素回路を駆動するための周辺回路についても変更が必要となるという問題もあった。

【0013】

本発明は、簡単な変更で、効果的に駆動トランジスタのしきい値電圧の変動を補償できる画素回路を提供する。

【課題を解決するための手段】

【0014】

本発明は、データラインに一端が接続され、制御端に選択信号が入力される選択トランジスタと、この選択トランジスタの他端に一端が接続され、制御端が所定電圧の第1の電源に接続される補正トランジスタと、この補正トランジスタの他端に制御端が接続され、一端が電流供給源としての第2の電源に接続される駆動トランジスタと、この駆動トランジスタの制御端に一端が接続され、他端がパルス電圧ラインに接続された保持容量と、前記駆動トランジスタに流れる電流によって発光する発光素子と、を有し、前記パルス電圧ラインの電圧値を変更することで前記駆動トランジスタをオンする過程で、前記補正トランジスタのオンオフを変更し、これによって駆動トランジスタのオン時における制御端電圧を制御するとともに、前記駆動トランジスタと、前記補正トランジスタとが、隣接して形成されていることを特徴とする。

【0015】

また、前記データラインおよび電源ラインが垂直方向に伸び、前記補正トランジスタが前記データラインおよび電源ラインの間に形成されていることが好適である。

【0016】

また、前記駆動トランジスタは、前記電源ラインを挟んで、前記補正トランジスタの反対側に形成されることが好適である。

【0017】

また、前記選択トランジスタをオンした状態で、データラインに補正トランジスタがオンするデータ電圧を供給して、駆動トランジスタの制御端にデータ電圧に対応する電圧を保持し、その後前記選択トランジスタをオフし、その状態でパルス電圧ラインの電圧を変化させて駆動トランジスタの制御端電圧をシフトさせ、これによって補正トランジスタをオフするとともに、駆動トランジスタをオンして、データ電圧に応じた電流を駆動トランジスタに流すことが好適である。

【0018】

また、前記第1の電源と、第2の電源は同一の電源であることが好適である。

【0019】

また、前記補正トランジスタおよび駆動トランジスタは、pチャネルトランジスタであり、前記パルス電圧ラインは、前記選択トランジスタがオフした後、高レベルから低レベルに変化することが好適である。

【0020】

また、前記選択トランジスタの他端と、前記補正トランジスタの一端との間に、制御端が前記パルス電圧ラインに接続された、前記補正トランジスタとは逆極性のリーク電流抑制トランジスタを設けることが好適である。

【発明の効果】

【0021】

以上説明したように、本発明によれば、前記パルス電圧ラインの電圧値を変更することで前記駆動トランジスタをオンする過程で、前記調整トランジスタのオンオフを変更し、これによって駆動トランジスタのオン時における制御端電圧を制御する。従って、補正トランジスタのしきい値電圧に応じて変化する電圧を駆動トランジスタの制御端に設定する

ことができる。そして、前記駆動トランジスタと、前記補正トランジスタとが、隣接して形成されているため、駆動トランジスタと、補正トランジスタのしきい値電圧を同様の電圧に設定することが容易であり、従って駆動トランジスタのしきい値電圧を補償して駆動トランジスタを駆動することをができる。

【0022】

また、前記データラインおよび電源ラインが垂直方向に伸び、前記補正トランジスタを前記データラインおよび電源ラインの間に形成したり、前記駆動トランジスタが、前記電源ラインを挟んで、前記補正トランジスタの反対側に形成されることで、効率的な配置が行える。

【0023】

また、パルス電圧ラインの電圧変動により、駆動トランジスタがオフからオンになると共に、補正トランジスタのオンオフ状態が切り替わり、その容量値が変化する。そして、補正トランジスタのしきい値変化に応じて駆動トランジスタのゲート電圧がどの電圧で補正トランジスタのオンオフが切り替わるかが変化する。また、パルス電圧ラインの変化に応じた駆動トランジスタのゲート電圧の変化は、補正トランジスタの容量値によるため、補正トランジスタのしきい値変動に応じて、ゲート電圧が変動することになる。そこで、駆動トランジスタのしきい値変動を相殺するように駆動トランジスタのゲート電圧が変化するように、補正トランジスタや保持容量などを設計することで、駆動トランジスタのしきい値変動の駆動電流への影響を減少させることができる。

【0024】

また、前記第1の電源と、第2の電源は同一の電源とすることで、別々の電源ラインを設ける必要がなくなる。

【0025】

また、前記補正トランジスタおよび駆動トランジスタは、pチャネルトランジスタであり、前記パルス電圧ラインは、前記選択トランジスタがオフした後、高レベルから低レベルに変化することで、pチャネルトランジスタのゲート容量を有効に利用することができる。

【0026】

また、補正トランジスタとは逆極性のリーク電流抑止トランジスタを設けることにより、駆動トランジスタのゲートからデータラインへ向けて流れるリーク電流を抑止し、ゲート電位の変動を確実に防止できる。

【発明を実施するための最良の形態】

【0027】

以下、本発明の実施形態について、図面に基づいて説明する。

【0028】

図1は、実施形態に係る1画素の画素回路の構成を示す図である。垂直方向に伸びるデータラインDLには、nチャネルの選択TFT20のドレインが接続されている。この選択TFT20のゲートは水平方向に伸びるゲートラインGLに接続され、ソースはpチャネルの補正TFT22のソースに接続されている。なお、この選択TFT20は、pチャネルでもよく、pチャネルの場合には、ゲートラインGLの極性(HまたはL)を逆に駆動すればよい。

【0029】

補正TFT22のゲートは電源ラインPL(電圧PVD)に接続され、ドレインはpチャネルの駆動TFT24のゲートに接続されている。さらに、駆動TFT24のゲートには、保持容量28の一端が接続され、この保持容量28の他端はパルス状電圧で駆動されるパルス電源ラインとして機能する保持容量ラインSCに接続されている。この保持容量ラインSCはゲートラインGLと同様に水平方向に伸びるラインである。なお、別の電源ラインを設け、補正TFT22のゲートをその別の電源ラインに接続すれば、補正TFT22のオンからオフに切り替わるタイミングを任意に調整することができる。

【0030】

駆動TFT24のソースは、垂直方向に伸びる電源ラインPLに接続され、ドレインは有機EL素子26のアノードに接続されている。また、有機EL素子26のカソードが所定の低電圧のカソード電源CVに接続されている。ここで、通常の場合、有機EL素子26のカソードは全画素共通になっており、このカソードがカソード電源CVに接続されている。

【0031】

有機ELパネルでは、このような画素回路がマトリクス状に配置されており、該当する水平ラインのビデオ信号が入力されてくるタイミングで、その水平ラインのゲートラインがHとなり、その行の選択TFT20がオン状態になる。これによって、補正TFT22のソースは、データラインDLの電位になる。

【0032】

ここで、データラインDLには、データ電圧が供給される。このデータ電圧Vdataは、対応画素を表示するビデオ信号に対応したものであり、例えば白レベルから黒レベルを3～5V程度で表現している。一方、電源ラインPLの電圧PVDDは、0V程度に設定される。従って、この状態で補正TFT22はオン状態になり、データラインDLのデータ電圧Vdataが駆動TFT24のゲートにセットされる。すなわち、このデータ電圧の書き込み期間において、3～5V程度の電圧が駆動TFT24のゲートにセットされる。なお、このときに保持容量28の他端の保持容量ラインSCは、+8V程度に設定されている。

【0033】

このようなデータ電圧Vdataの書き込みが終了した場合には、保持容量ラインSCの電圧を例えば-4V下げる。これによって、駆動TFT24のゲートは12V程度低下し、駆動TFT24がオンし、データ電圧に応じた電流が駆動TFT24を介し有機EL素子26に流れ発光する。

【0034】

ここで、補正TFT22は、保持容量ラインSCが-4V程度に低下することで、そのドレインが3～5Vから基本的に-9V～-7V程度のマイナスの電圧（後述するように、この電圧は少し異なる）になり、オン状態からオフ状態に変化する。これに応じて補正TFT22のゲート容量が変化し、これが駆動TFT24のゲート電位を左右し、これによって駆動TFT24のしきい値電圧の変化を補償することができる。

【0035】

すなわち、駆動TFT24は、電源ラインPLの電圧とゲート電圧の差、すなわちVgsに従ってオンされて対応する駆動電流を流す。そして、このVgsがそのTFTの特性で定まるしきい値電圧Vtより大きくなったときに電流を流し始め、駆動電流量は、ゲート電圧と、しきい値電圧の差によって決定される。一方、マトリクス状に配置された多数の駆動TFT24のしきい値電圧を完全に同一にすることは難しく、しきい値電圧は画素位置によって多少ばらつくことを免れない。従って、表示輝度が駆動TFT24のしきい値電圧のバラツキに応じて変動することになる。本実施形態の装置では、補正TFT22の容量変化によって、これを補償する。

【0036】

これについて、図2および図3に基づいて説明する。図3は、図2における長丸で示した保持容量ラインSCの立ち下がり時の状態を拡大して示した図である。まず、図2に示すように、ゲートラインGLは、そのライン（水平ライン）が選択されているときに、アクティブ（H）になる。この例では、選択TFT20がnチャネルであり、ゲートラインGLは、Lレベル=-4V程度、Hレベル=8V程度に設定され、アクティブの際には、8Vに設定される。

【0037】

一方、保持容量ラインSCの電圧Vscは、ゲートラインGLが選択される（Hの）期間より、若干長めの期間Hとなる。すなわち、ゲートラインGLがHとなる前にHとなり、ゲートラインGLがLとなった後にLになる。

【0038】

ゲートラインGLがHの期間は、選択TF T 2 0および補正TF T 2 2がオンし、このときデータラインDLのデータ電圧V d a t aにセットされる。そこで、駆動TF T 2 4のゲート電圧V gが、データ電圧V d a t aにセットされる。

【0039】

そして、このデータの書き込みを少量した後、保持容量ラインSCの電圧が立ち下がり、補正TF T 2 2がオフし、駆動TF T 2 4のゲート電圧が保持容量ラインSCの低下分（この例では8 Vから-4 Vへの12 V）だけデータ電圧V d a t aから所定値低い電圧になり、この電圧に応じた駆動電流を流す。

【0040】

一方、補正TF T 2 2は、各画素毎に設けられており、その画素の駆動TF T 2 4に隣接して形成されており、駆動TF T 2 4と同一の工程で作成される。従って、駆動TF T 2 4と、補正TF T 2 2は、不純物濃度などもほぼ同一であり、しきい値電圧も同一のものになる。そして、補正TF T 2 2のゲートは電源ラインPL（0 V）に接続されているため、電圧V gの低下に従って、オンからオフに変化する。

【0041】

このように、保持容量ラインSCの立ち下がり時において、pチャネルTF Tである補正TF T 2 2は、オンからオフに状態が変化し、一方駆動TF T 2 4はオフからオンに状態が変化する。TF Tは、そのゲート容量値がオンまたはオフの状態のよって変化する。そこで、駆動TF T 2 4のゲート電圧V gの変化は、2つのTF Tのオンオフ状態の変化の影響を受ける。すなわち、TF Tは、オンの時にオフの時より容量が大きいいため、電圧変化状態容量変化の影響を受ける。

【0042】

すなわち、補正TF T 2 2は、オンからオフになり、その容量が小さくなる。これによって、電圧V gの低下の傾きが大きくなる。

【0043】

従って、補正TF T 2 2のオン状態からオフ状態に切り替わる切り替わり電圧が図3における「切り替わり電圧1」であった場合には、ゲート電圧は図において実線で示したように変化し、切り替わり電圧1に至るまで第1の傾きで変化し、その後第2の傾きで変化する。そして、駆動TF T 2 4がオンになったときに第3の傾きに変化して、保持容量ラインSCの電圧がLレベルになったときには、電圧V gは、補正電圧V g 1に設定される。

【0044】

ここで、補正TF T 2 2がオンからオフに変化する切り替わり電圧は、補正TF T 2 2のゲート電圧である電源電圧P V D D = 0との差で決定される。このため、切り替わり電圧1, 2は、電源電圧P V D Dに補正TF T 2 2のしきい値電圧V tの絶対値を加算した電圧（P V D D + | V t |）である。

【0045】

一方、補正TF T 2 2のしきい値電圧が「切り替わり電圧1」より低い「切り替わり電圧2」であった場合には、ゲート電圧は図において破線で示したように変化し、切り替わり電圧2に至るまで第1の傾きで変化し、その後第2の傾きで変化して、さらに第3の傾き保持容量ラインSCの電圧がLレベルになったときには、補正電圧V g 2にゲート電圧が設定される。

【0046】

このように、同一のデータ電圧が供給されても、最終的な駆動TF T 2 4のゲート電圧である補正電圧は、しきい値電圧が低いほど高く設定されることになる。

【0047】

上述のように、駆動TF T 2 4のしきい値電圧は、補正TF T 2 2のしきい値電圧に対応している。従って、駆動TF T 2 2のしきい値電圧が「しきい値電圧1」であれば、ゲート電圧はしきい値電圧1に対応する補正電圧V g 1になり、「しきい値電圧2」であれ

ば、ゲート電圧はしきい値電圧 2 に対応する補正電圧 V_{g2} に設定され、この例では、しきい値電圧とゲート電圧の差は、ほぼ同一になっている。すなわち、補正 T F T 2 2 のサイズ、電源電圧値、駆動 T F T 2 4 のサイズ、保持容量 2 8 の容量値などの設定によって、データ電圧が一定であれば、駆動 T F T 2 4 のしきい値電圧が異なっても、しきい値電圧とゲート電圧の差を一定にすることが可能であり、しきい値電圧のバラツキの影響を排除することができる。

【0048】

ここで、このような補償を行うためには、第 1 の傾きに比べ第 2 の傾きが 2 倍になるように、条件を設定する。これについて図 3 に基づいて説明する。図 2 に示すように、補正 T F T 2 2 がオン状態であるとした場合は、その容量値がオフ時に比べ大きいため、ゲート電圧の変化はパルス駆動電圧の変化による影響が抑制されて、傾きが小さくなる。一方、補正 T F T 2 2 がオフ状態である場合は容量値が小さく、パルス駆動電圧の変化による影響が大きいため傾きが大きい。その傾きが 2 倍となるような条件に設定しているため、パルス駆動電圧が L レベルになったときのゲート電圧の減少分は、補正 T F T 2 2 がオフ状態の時のオン状態のときの 2 倍になる。

【0049】

すなわち、2 つの駆動 T F T 2 4 のしきい値電圧の差 $\Delta V_{t(iii)}$ と、2 つの補正 T F T 2 2 のしきい値電圧の差 $\Delta V_{t(i)}$ が等しくなるように T F T を構成し、補正 T F T 2 2 のオンからオフに変わったときの傾きを 2 倍にすることによって、 $\Delta V_{t(i)} = \Delta V_{t(iii)}$ となり、2 つの補正電圧の差 $\Delta V_{t(iv)} = \Delta V_{t(iii)}$ が等しくなる。

【0050】

すなわち、図における (A) 2 つの補正 T F T 2 2 の切り替わり電圧の差 ($\Delta V_{t(i)}$)、(B) 遅い方の補正 T F T 2 2 の切り替わり電圧と、その遅い方の補正 T F T 2 2 がオフになったときの他方の補正 T F T の電圧の差 ($\Delta V_{t(iii)}$)、(C) 2 つの駆動 T F T の切り替わり電圧の差 ($\Delta V_{t(iii)}$)、(D) 補正電圧 V_{g1} 、2 の差 ($\Delta V_{t(iv)}$) が等しくなる。

【0051】

なお、データ電圧の書き込み電圧であるサンプリング電圧が変化した場合でも、切り替わり電圧差と、補正電圧差が等しくなることには変わりはなく、常にしきい値電圧の変動を補償することができる。

【0052】

また、実験によれば、データ電圧の電位差は、補償動作後の補正電圧において、2 倍に増幅される。従って、データ電圧の範囲を小さくして、十分な駆動 T F T 2 4 のゲート電圧の差を保持することができ、データ電圧を供給する回路の作成が容易になるという効果も得られる。

【0053】

なお、上述のように、保持容量ライン S C の電圧を立ち下げる際の駆動 T F T 2 4 のゲート電圧変化は、特に補正 T F T 2 2 のゲート容量値 C 1 と、駆動 T F T 2 4 のゲート容量値 C 2、保持容量 2 8 の容量値 S C、および配線の寄生容量の影響を受ける。

【0054】

上述した V_g の変化のメカニズムについて、電荷の移動量に基づいて説明する。ここで、保持容量 2 8 の容量値を S C、補正 T F T 2 2 のゲート容量を C 1、駆動 T F T 2 4 のゲート容量を C 2、補正 T F T 2 2 のしきい値電圧を V_{t22} 、駆動 T F T 2 4 のしきい値電圧を V_{t24} とするとともに、保持容量 2 8 の容量値 $S C =$ 補正 T F T 2 2 のゲート容量 C 1 に設定する。

(i) まず、駆動 T F T 2 4 のゲート電圧 $V_g = V_{data}$ の状態から、保持容量ライン S C を 1 2 V 下げると、 V_g も 1 2 V 下がるはずである。この変化のみを考慮した V_g を $V_{g'}$ と表せば、

$$V_{g'} = V_{data} - 12$$

となる。

(i i) 補正TFT22のゲート容量をC1とすると、この補正TFT22から流れ出し、保持容量28に流れ込む電荷量は、

$$C1 \times (V_{data} - |V_{t22}|)$$

である。

【0055】

ここで、本実施形態では、 $C1 = SC$ であり、 V_g は、 $(V_{data} - |V_{t22}|)$ だけ上昇する。すなわち、これを考慮した電圧 V_g'' は、

$$V_g'' = 2V_{data} - 12 - |V_{t22}|$$

となる。

(i i i) さらに、駆動TFT24のゲートからも電荷がSCに流れ込む。この電荷量Qは、駆動TFT24の最終的なゲート電圧を V_g として、

$$Q = -C2' (V_g + |V_{t24}|)$$

となる。

【0056】

ここで、 $C2'$ は、駆動TFT24におけるオフ時とオン時の差の容量であり、SPICE (スパイスシミュレータ) のMEYERの式を用いて計算した $C2' = C2 \times 2/3$ の値を用いた。

(i v) 駆動TFT24のゲート電圧 V_g は、電荷Qが保持容量28に流れ込んだ分だけ、ずれた電圧とすればよい。従って、

$$V_g = V_g'' + Q/C1 = V_g'' - C2' (V_g - |V_{t24}|) / C1$$

これを書き直すと、最終 V_g は、

$$(1 + C2' / C1) V_g = 2V_{data} - 12 - |V_{t22}| - (C2' / C1) |V_{t24}|$$

となる。

【0057】

$V_{t22} = V_{t24} = V_t$ であれば、

$$V_g = -|V_t| + (2V_{data} - 12) / (1 + C2' / C1)$$

となる。

【0058】

この式における右辺第二項は、レイアウト寸法による固定値なので、 V_g は V_t 分ずれることになり、駆動TFT24のしきい値電圧 V_t にずれがあってもこれを補償することができることになる。

【0059】

なお、厳密には、配線に対する寄生容量についても、考慮する必要があり、これを考慮して、設定するとよい。また、電源電圧PVD Dが0でない場合には、その値を考慮すればよい。

【0060】

また、補正TFT22のしきい値電圧 V_{t22} と、駆動TFT24のしきい値 V_{t24} が異なる場合にも、駆動TFT24のしきい値 V_{t24} だけ、そのゲート電圧 V_g がずれるのが望ましい。このためには、上述の式における $C2' / C1$ を調整すればよい。ただし、あまり大きな調整は、困難であり、なるべく $V_{t22} = V_{t24}$ となるようにTFTを形成することが好ましい。

【0061】

次に、このような画素回路を備える画素のレイアウトについて、図4に基づいて説明する。なお、この図においては、半導体層を破線、ゲートラインGLの層を二点鎖線で示している。また、コンタクトについては、実線で示してある。

【0062】

1つの画素は、一対のデータラインDL (図における左右)、水平方向に伸びるゲートラインGL (図における上) および保持容量ラインSC (図における下) によって囲まれ

たほぼ四角形の領域で形成されている。この例では、左側のデータラインDLのこの画素のデータラインであり、右側は隣接画素のデータラインである。また、画素の真ん中より少し左よりには、垂直方向に伸びる電源ラインPLが配置されている。

【0063】

データラインDLには、コンタクトを介し厚み方向下方の半導体層が接続されており、この半導体層はnチャネルトランジスタである選択TF T 20のドレイン20dとなっている。半導体層は、ゲートラインGLに沿って図における右側に伸びており、ドレイン領域20dに隣接する領域は不純物ドーピングのないチャネル領域20cになっている。このチャネル領域20cの厚み方向上方には、ゲートラインGLからゲート電極20gが伸びている。半導体層のチャネル領域20cの図における右側には、ソース領域20sが形成され、これによって選択TF T 20が形成されている。

【0064】

半導体層は電源ラインPLの厚み方向下側の部分で直角に図における下方に曲がり、コ字型に曲がってデータラインDL側に戻った後、下方に向けて折れ曲がり、その後保持容量ラインSCまで下方に向けて伸びている。そして、この半導体層の下方に伸びている部分の図における中央付近がpチャネルの補正TF T 22になっている。すなわち、半導体層の図における上の部分がソース領域22s、その下の中間部分がチャネル領域22c、下の部分がドレイン領域22dとなっている。チャネル領域22cの厚み方向上方には、電源ラインPLにコンタクトで接続されたゲート電極22gが配置されている。

【0065】

半導体層は、保持容量ラインSCの下方を右方向に伸び、この部分において、保持容量ラインSCと、半導体層が絶縁膜を介し対向して、保持容量28を構成している。

【0066】

また、この半導体層の保持容量ラインSCの図における少し上方の部分には、コンタクトが設けられ、図における右方向に伸びるライン、コンタクトを介し、ゲートラインGLと同一の層に設けられた上方に伸びるラインが接続され、このラインの上部が駆動TF T 24のゲート電極24gとなっている。電源ラインPLの画素の図における下方部分にはコンタクトが設けられ、その厚み方向下方の半導体層に接続されている。この半導体層は、駆動TF T 24を構成するもので、上方に伸びた後図における右方向に曲がり、コンタクトを介し、有機EL素子26の陽極(ITO)に接続されている。

【0067】

すなわち、半導体層は、電源ラインPLとのコンタクトの図における上方が駆動TF T 24のソース領域24s、その上方のゲート電極24gの厚み方向下方の中間部分がチャネル領域24c、その図における上方がドレイン領域24dとなっており、ドレイン領域24dが直角に図における右方向に曲がり、そこにコンタクトが設けられ、厚み方向上方の有機EL素子26の陽極の接続されている。

【0068】

従って、有機EL素子26は、電源ラインPLと、その図における右側のデータラインDLとの間の領域に配置されている。

【0069】

このようなレイアウトによれば、画素領域の左側にTF Tが配置され、全体として効率的配置にできる。特に、補正TF T 22と、駆動TF T 24とを近接して配置することができ、両者の特性、すなわちしきい値電圧を同等のものにセットしやすくなる。さらに、補正TF T 22と、駆動TF T 24とは、ゲートが垂直方向に伸びて配置されている。本実施形態における半導体層は、低温ポリシリコン(LTPS)で形成されており、レーザアニールによる。水平方向に伸びる線状のレーザ光によって、レーザアニールを行う場合、図のようなTF Tの配置により、レーザアニールの各パルス、必ず補正TF T 22と、駆動TF T 24の両方の同時に当てるのが容易であり、これによって両TF Tの特性(しきい値電圧)を同一にすることが容易となる。

【0070】

また、上述したように、実施形態に係る画素回路は、マトリクス状に配置され、表示装置が構成される。通常の場合、ガラス基板上に、周辺ドライバ回路および有機EL素子以外の画素回路が形成され、その上方に有機EL素子が形成され、有機ELパネルが構成される。ただし、実施形態の画素回路は、この形式の有機ELパネルに限定されることなく、各種の表示装置に適用が可能である。

【0071】

さらに、選択TF T 20、補正TF T 22をマルチゲート化することが、好適である。すなわち、リーク電流は、補正TF T 22、選択TF T 20がオフの時にこれらTF Tを介し、データラインDLに向けて流れる電流であり、これらTF Tをマルチゲート化することで、リーク電流を抑制することができる。補正TF T 22のみをマルチゲート化してもよいし、選択TF Tのみをマルチゲート化してもよい。ここで、図4に示すように、選択TF T 20の付近で、半導体層はコの字型の形状となっている。従って、ゲートラインGLからのゲート電極20gを図における下方に伸ばすことによって容易にダブルゲートのTF Tを形成することができる。また、コの字型の他の1辺にもゲート電極を設けることで、3ゲートとすることも容易である。また、補正TF T 22は、その半導体層が図における下方に向けて伸びており、そのゲート電極22gをコの字型にすることで、ダブルゲート化が容易にできる。

【0072】

また、補正TF T 22をマルチゲート化した場合は、駆動TF T 24のゲート側のTF Tのサイズを小さくすることが好適である。これによって、補正TF T 22のオフ時ににおいて、保持容量28に流れ込む電荷量を比較的小さくできる。

【0073】

ここで、本実施形態の補正TF T 22は、半導体層で形成されるチャネル領域22cの幅が途中で変化している。すなわち、半導体層は、図における上部で幅が広く下部で幅が狭い。このような形状とすることで、補正TF T 22の配置の自由度を大きくできる。これによって、他の素子である駆動TF T 24のゲート電極24gの配置を効果的に行える。また、配置の自由度を大きくするためには、チャネル領域を形成する半導体の幅を変更することが好適であり、これは他のTF Tにもいえることである。

【0074】

さらに、補正TF T 22の一部は、電源ラインPLの下方に形成している。これによって、画素の開口率（発光領域の比率）を大きくすることができる。

【0075】

図5には、他の構成例が示されている。この例では、一端がデータラインDLに接続された選択TF T 20の他端と、前記補正TF T 22の一端との間に、ゲートが保持容量ラインSCに接続された、リーク電流抑止TF T 30を設けている。このリーク電流抑止TF T 30は、nチャネル型であり、補正TF T 22とは、逆極性となっている。

【0076】

このリーク電流抑止TF T 30は、保持容量ラインSCがHの時にオンし、Lの時にオフする。従って、ゲートラインGLがHの期間はオンしており、データラインDLのデータ電圧を駆動TF T 24のゲートに書き込むことについては、問題を生じない。一方、データの書き込み終了後においては、オフする。従って、保持容量ラインSCが立ち下がり、駆動TF T 24のゲート電位が低電圧となった場合において、オフとなり、このときのデータラインDLから駆動TF T 24のゲートに向けて流れるリーク電流を効果的に抑止することができる。

【図面の簡単な説明】

【0077】

【図1】 実施形態の画素回路の構成を示す図である。

【図2】 ゲートラインGL、保持容量ラインSCの状態を示す図である。

【図3】 ゲート電圧の変化状態を示す図である。

【図4】 画素の平面構成を示す図である。

【図5】他の構成例を示す図である。

【図6】従来の画素回路の構成を示す図である。

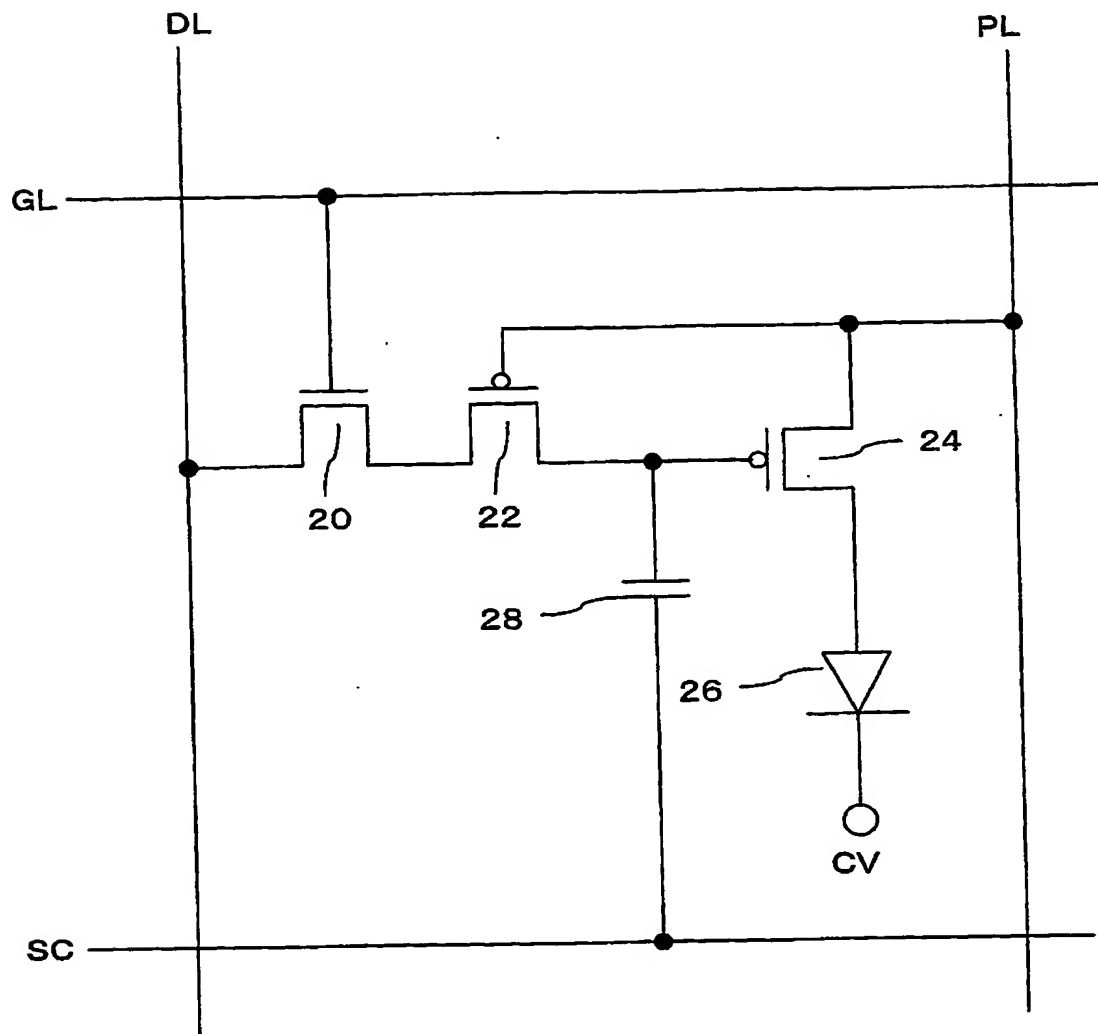
【符号の説明】

【0078】

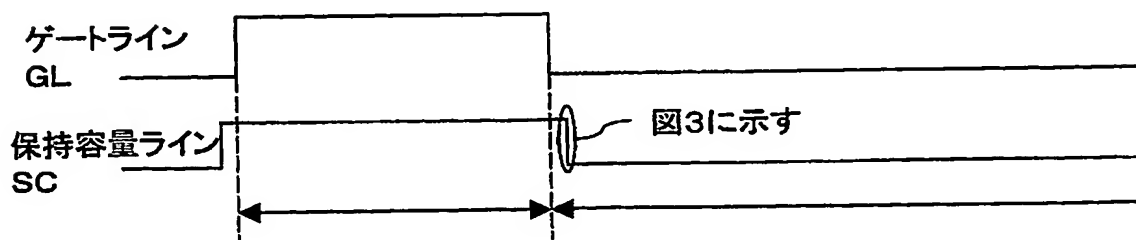
20 選択TFT、22 補正TFT、24 駆動TFT、26 有機EL素子、28
保持容量、30 リーク電流抑止TFT。

【書類名】 図面

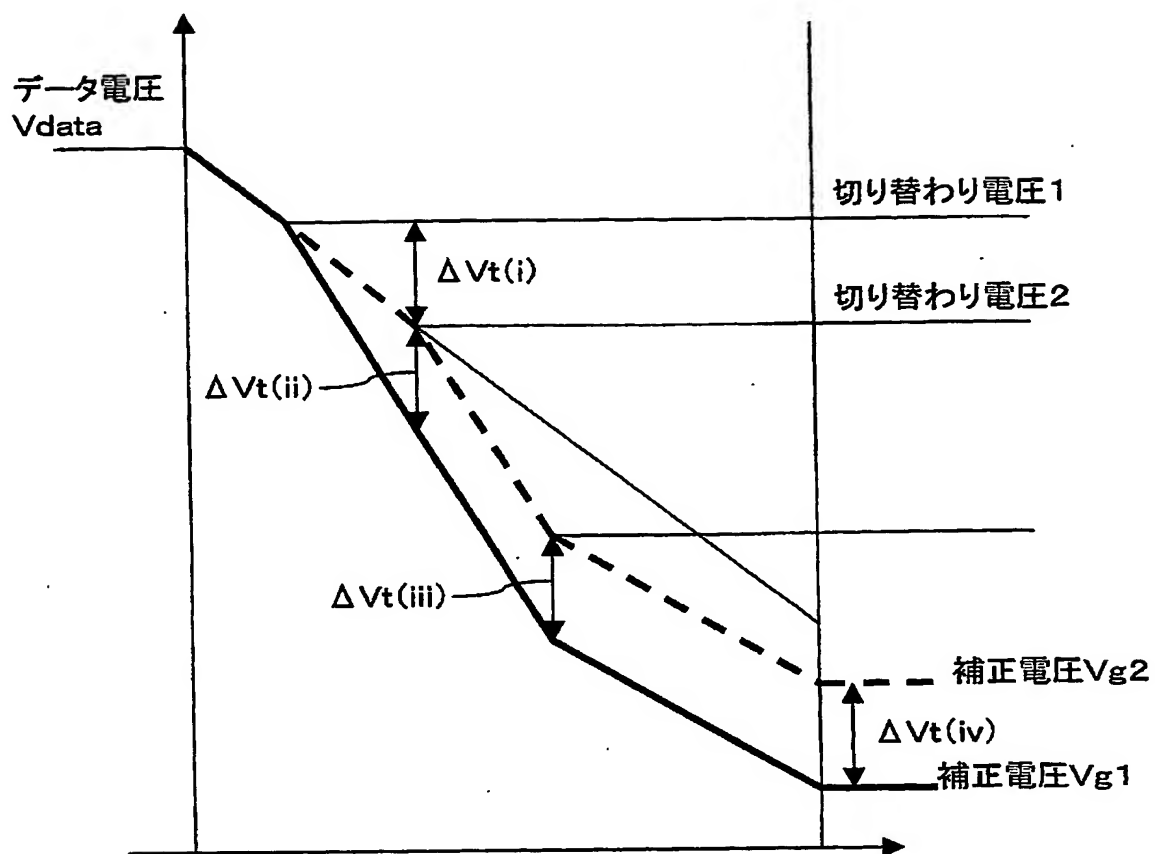
【図 1】



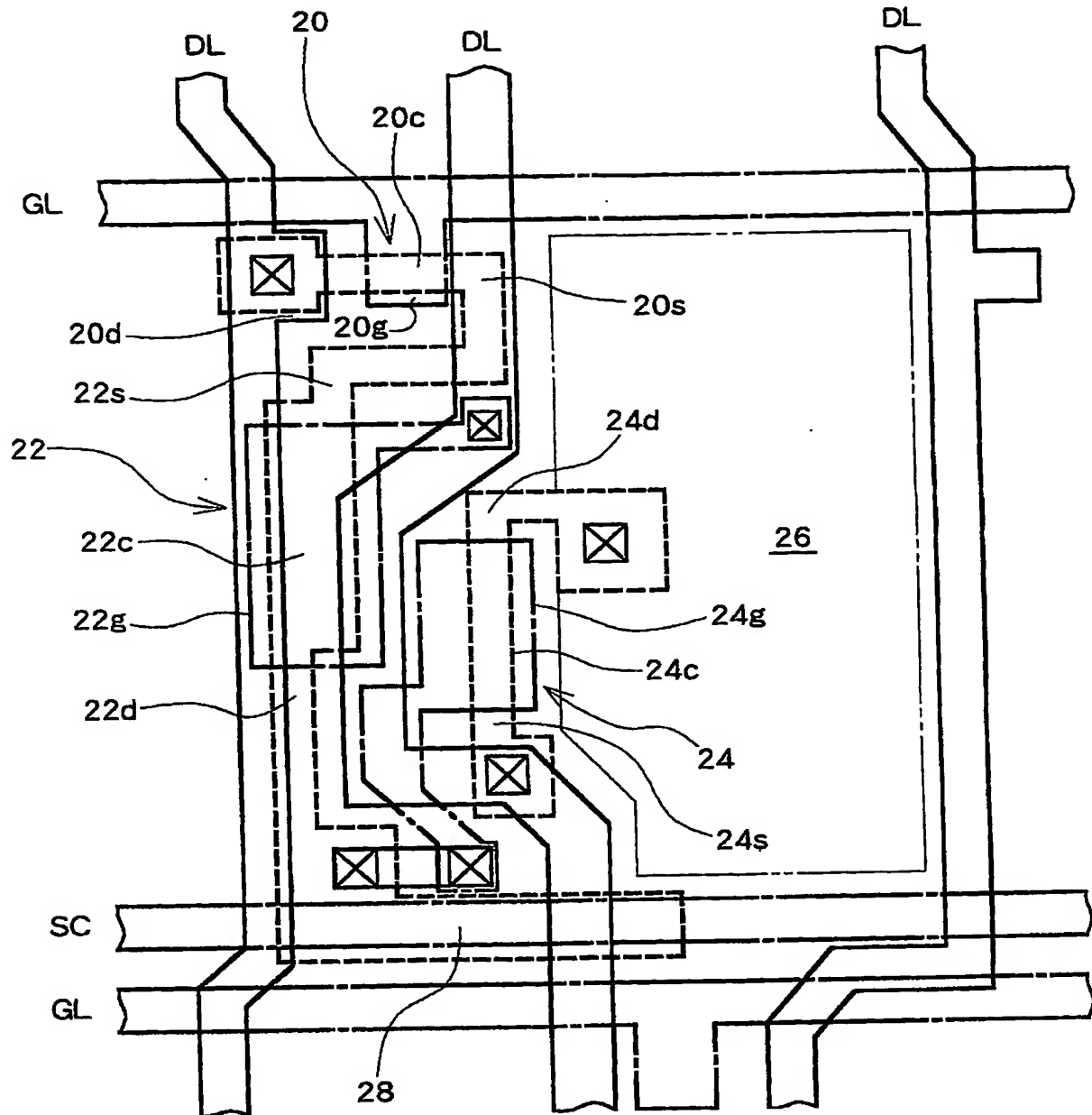
【図 2】



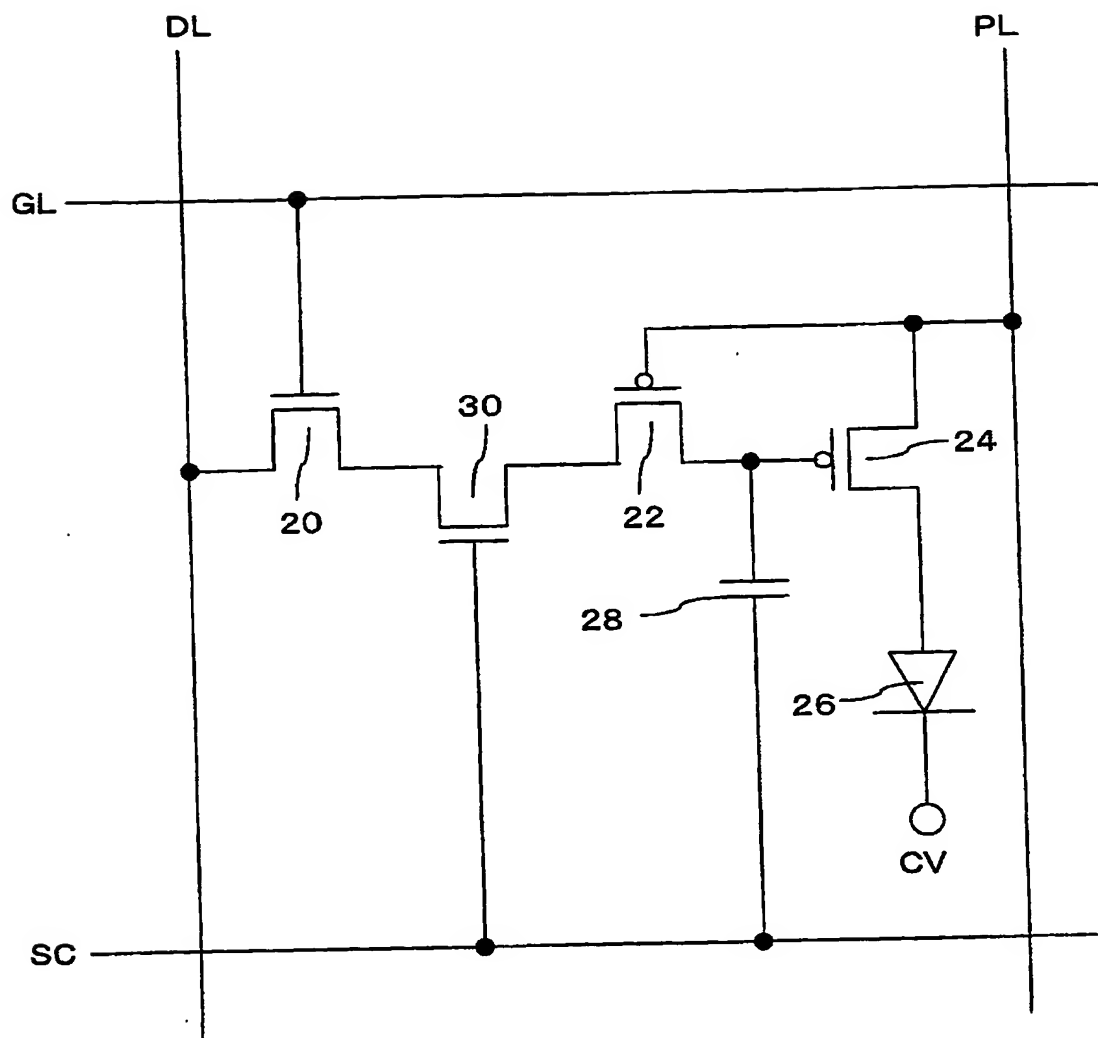
【図 3】



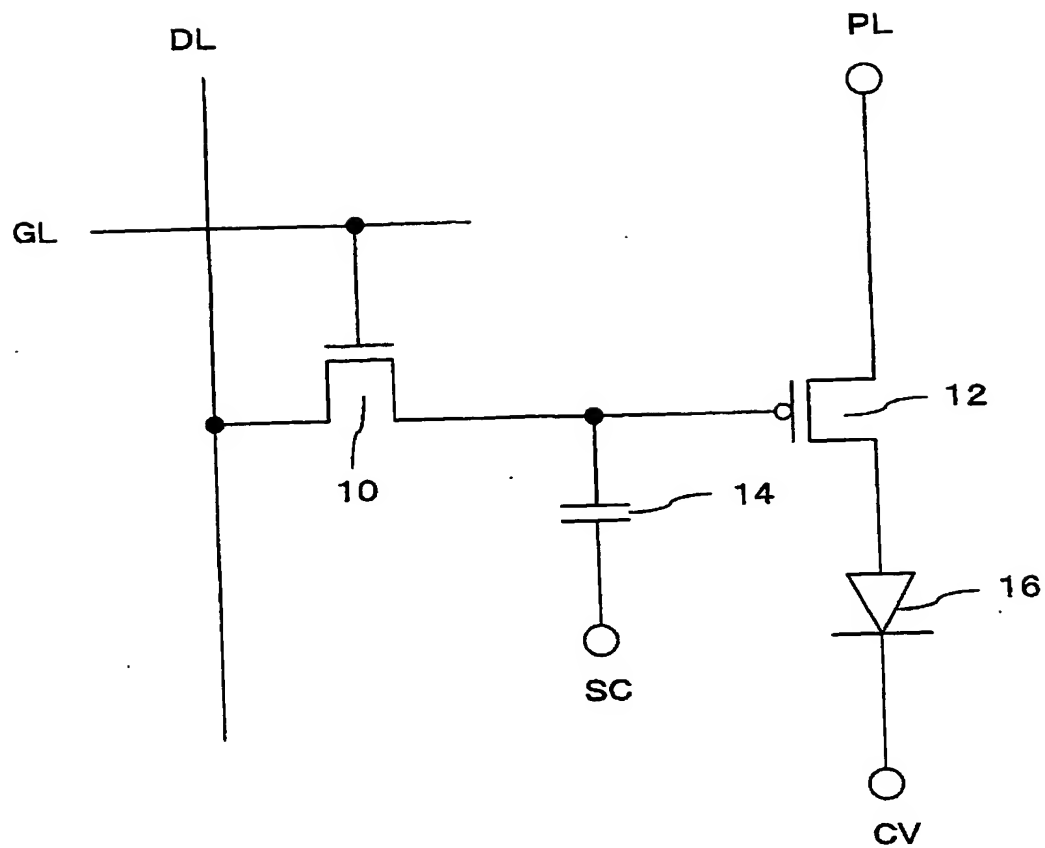
【図 4】



【図 5】



【図 6】



【書類名】要約書

【要約】

【課題】駆動 T F T のしきい値変動の悪影響を減少する。

【解決手段】選択 T F T 20、補正 T F T 22 がオンすることでデータラインのデータ電圧が駆動 T F T 24 のゲート電圧として保持容量 24 に保持される。選択 T F T 20 をオフした後、保持容量ライン S C の電圧を立ち下げ、これによって駆動 T F T 24 をオンして駆動電流を有機 E L 素子 26 に流す。ここで、補正 T F T 22 は、保持容量ライン S C の立ち下がり前はオンで、立ち下がり途中でオフとなる。従って、ゲート電圧の立ち下がり中に補正 T F T 22 の容量値が変化し、駆動 T F T 24 のゲート電圧の立ち下がり勾配が変化し、これによって駆動 T F T 24 のしきい値変化に対応して、保持容量ライン S C 立ち下がり後のゲート電圧の設定が行える。特に、駆動 T F T 24 と補正 T F T 22 を隣接して配置することで、両者の特性を同一として補正を効果的に行うことができる。

【選択図】図 1

特願 2 0 0 3 - 3 7 8 5 8 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 1 8 8 9]

1. 変更年月日	1 9 9 3 年 1 0 月 2 0 日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通 2 丁目 5 番 5 号
氏 名	三洋電機株式会社

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/016542

International filing date: 08 November 2004 (08.11.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2003-378581
Filing date: 07 November 2003 (07.11.2003)

Date of receipt at the International Bureau: 27 January 2005 (27.01.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse